

Patent Abstracts of Japan

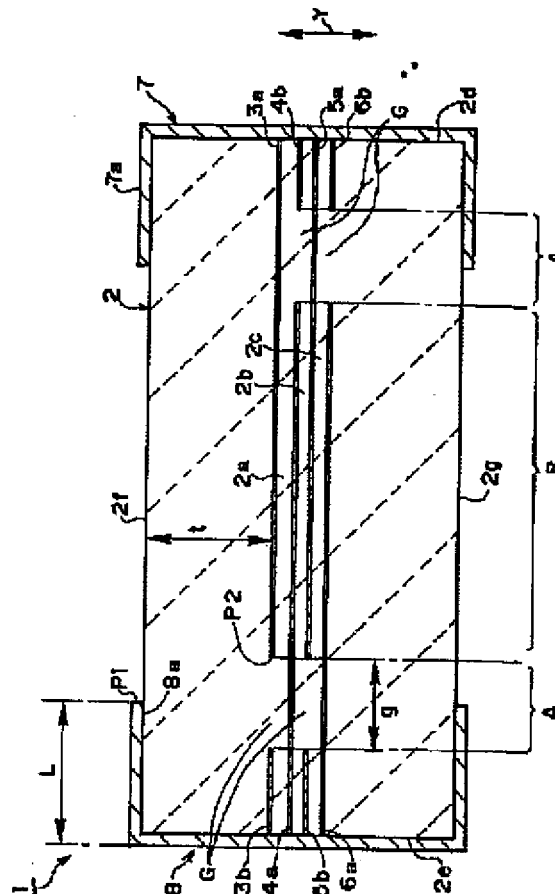
PUBLICATION NUMBER : 2001035707
PUBLICATION DATE : 09-02-01
APPLICATION DATE : 26-07-99
APPLICATION NUMBER : 11210162

APPLICANT : TDK CORP;

INVENTOR : TANAKA RYUICHI;

INT.CL. : H01C 7/10

TITLE : LAMINATED CHIP VARISTOR



ABSTRACT : PROBLEM TO BE SOLVED: To obtain a laminated chip varistor, the varistor electrode and capacitance of which do not fluctuate much, when the varistor voltage is low.

SOLUTION: The blank body of a laminated chip varistor is constituted, in such a way that an internal electrode connected to a first external electrode 7 and a counter electrode 3b connected to a second external electrode 8 facing opposite to each other with a gap G in between in the same plane. In addition, at least a part of an internal electrode 3a overlaps an internal electrode 4a which is connected to the second external electrode 8 via a varistor layer at different heights in the laminating direction Y.

COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-35707

(P2001-35707A)

(43) 公開日 平成13年2月9日(2001.2.9)

(51) Int.Cl.⁷

H 0 1 C 7/10

識別記号

F I

H 0 1 C 7/10

ターミナル* (参考)

5 E 0 3 4

審査請求 未請求 請求項の数6 OL (全11頁)

(21) 出願番号 特願平11-210162

(22) 出願日 平成11年7月26日(1999.7.26)

(71) 出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋1丁目13番1号

(72) 発明者 田中 隆一

東京都中央区日本橋一丁目13番1号 ティー

ディーケイ株式会社内

(74) 代理人 100101269

弁理士 飯塚 道夫

Fターム(参考) 5E034 CA07 CB01 CC02 DA07 DC01

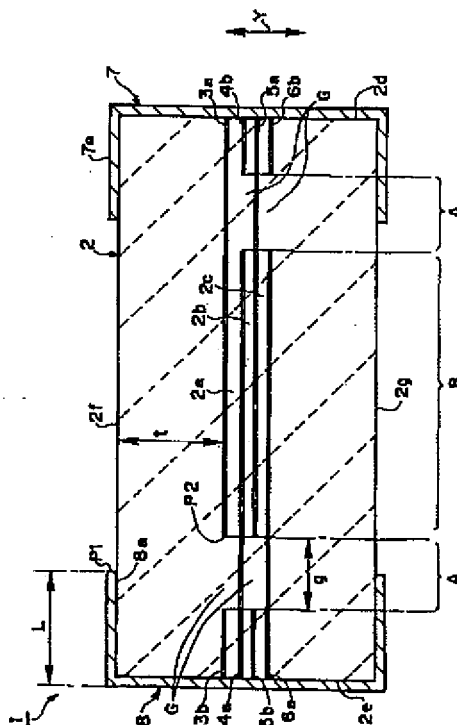
DC03 DC10

(54) 【発明の名称】 積層チップバリスタ

(57) 【要約】

【課題】 低バリスタ電圧時でのバリスタ電圧及び静電容量ばらつきの少ない積層チップバリスタを得る。

【解決手段】 第1の外部電極7に接続された内部電極3aと、第2の外部電極8に接続された対向電極3bとが、ギャップGを隔てて同一平面上において対向して配置される。内部電極3aの少なくとも一部が、バリスタ層を介して異なる高さ位置で第2の外部電極8に接続されて配置される内部電極4aに、積層方向Yで重なり合うように、バリスタ素体2が構成される。



【特許請求の範囲】

【請求項1】 バリスタ材料よりなるバリスタ層を積層して形成されたバリスタ素体と、

バリスタ素体内においてバリスタ層を介して隔てられると共に相互に一部が重複した位置関係で配置された少なくとも一対の内部電極と、

バリスタ素体の外表面に設けられ且つ、一対の内部電極の内の一方の内部電極の一端が接続された第1の外部電極と、

バリスタ素体の外表面に設けられ且つ、一対の内部電極の内の他方の内部電極の一端が接続された第2の外部電極と、

これら二つの外部電極の内の一方に接続された側の内部電極と同一面上でギャップを隔てて対向して配置され且つ、二つの外部電極の内の他方に一端が接続された対向電極と、

を有することを特徴とする積層チップバリスタ。

【請求項2】 バリスタ層を介して隔てられて内部電極がバリスタ素体内に複数設けられ、これら複数の内部電極の内の最上層と最下層の一方または両方と同一面上でギャップを隔てて対向して、対向電極が配置されたことを特徴とする請求項1に記載の積層チップバリスタ。

【請求項3】 バリスタ層を介して隔てられて内部電極がバリスタ素体内に複数設けられ、全ての内部電極とそれぞれ同一面上でギャップを隔てて対向して、対向電極がそれぞれ配置されたことを特徴とする請求項1に記載の積層チップバリスタ。

【請求項4】 第1の外部電極及び第2の外部電極がそれぞれバリスタ素体の相互に異なる端面に配置され、これら二つの外部電極の内の一方の外部電極から突出した部分と二つの外部電極の内の他方の外部電極に接続された内部電極とが、バリスタ層の積層方向において重ならないように配置されたことを特徴とする請求項1～3の何れかに記載の積層チップバリスタ。

【請求項5】 二つの外部電極の内の一方の外部電極と、二つの外部電極の内の他方の外部電極に接続された内部電極との間の距離が、相互に同一面上に位置する内部電極と対向電極との間のギャップよりも大きくされたことを特徴とする請求項1～4の何れかに記載の積層チップバリスタ。

【請求項6】 内部電極の幅寸法が、バリスタ層の積層方向においてバリスタ層を介して重なり合うように配置された他の内部電極の幅寸法と異なることを特徴とする請求項1～5の何れかに記載の積層チップバリスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電圧と電流の関係が非直線性を示す積層チップバリスタに係り、より詳細には、複数の内部電極が内蔵されている積層チップバリスタであるチップバリスタ素子のバリスタ電圧及び静電

容量のばらつきを少なくする電極構造に関する。

【0002】

【従来の技術】従来より、静電気やサージから電子部品を保護するなどのために幅広く用いられているチップバリスタ素子として、電極を同一平面上において対向して配置してなる対向型、並びに複数の内部電極をバリスタ素体内において積層してなる積層型のものが知られており、これらのチップバリスタ素子の構造を示す図8～図10を参照しつつ以下に従来技術を説明する。

【0003】図8は、従来の対向型チップバリスタ素子を示す断面図である。この図に示す対向型チップバリスタ素子であるチップバリスタ素子61は、例えば酸化亜鉛に酸化プラセオジウムなどの遷移金属元素酸化物を複数種用いて得られた焼結体からなるバリスタ素体62により構成されており、このバリスタ素体62内の所定の高さ位置には、一対の対向電極63、64が所定の大きさのギャップを隔てて相互に対向して配置されている。このバリスタ素体62の一方の端面には、対向電極63に接続された外部電極65が形成されており、他方の端面には、対向電極64に接続された外部電極66が形成されていて、対向電極63、64間のギャップGの大きさによりこのチップバリスタ素子61のバリスタ電圧及び静電容量が決定されるようになっている。

【0004】図9は、従来の他の例としての対向型チップバリスタ素子を示す断面図である。この図に示す対向型チップバリスタ素子であるチップバリスタ素子67は、バリスタ素体62内に、一対の対向電極63、64に加えて、三対の対向電極68a、68b、69a、69b、70a、70bが配置される構造を有している。すなわち、バリスタ素体62内の4箇所の高さ位置に、それぞれ対向電極63、64、68a、68b、69a、69b、70a、70bが配置されている。

【0005】図10は、従来の積層型チップバリスタ素子を示す断面図である。この図に示す積層型チップバリスタ素子であるチップバリスタ素子71は、複数の内部電極73、74、75がバリスタ素体72のバリスタ層を介して重なり合うようにバリスタ素体72内に配置された構造を有する。また、内部電極73、75はバリスタ素体72の一方の端面に形成された外部電極76に接続されており、内部電極74はバリスタ素体72の他方の端面に形成された外部電極77に接続されている。そして、この図に示すチップバリスタ素子71では、内部電極73、75と内部電極74との間の重なり面積で静電容量が決定され、例えば、重なり面積を小さくすることにより静電容量は小さくなるが、これに伴ってバリスタ電圧が逆に大きくなっていく。

【0006】

【発明が解決しようとする課題】上記の対向型のチップバリスタ素子61、67では、対向電極間のギャップを大きくしたり、あるいは対向電極の本数を少なくすれ

ば、静電容量が小さくなるものの、ギャップが大きくなればバリスタ電圧が大きくなり、対向電極の本数を少なくすればバリスタ電圧値がばらついて、バリスタ電圧及び静電容量を高精度にコントロールするには限度があった。従って、対向型チップバリスタ素子では、低バリスタ電圧で高精度に低静電容量化するには限度があり、低バリスタ電圧で静電容量が小さなチップバリスタ素子を作製することは困難であった。

【0007】他方、積層型のチップバリスタ素子71では、内部電極73、74、75の層間距離を小さくすることにより低バリスタ電圧化を図り、他の内部電極との重なり面積を少なくすることで低静電容量を図ることができる。但し、製造に際して、グリーンシートの厚みばらつき及び内部電極73、74、75が形成されているグリーンシートの重ね合わせ精度などによって、バリスタ電圧及び静電容量がばらつく欠点を有していた。従って、積層型チップバリスタ素子によれば、低バリスタ電圧で低静電容量のチップバリスタ素子を提供し得るものの、低バリスタ電圧化すればする程、上記製造工程上の要因によるバリスタ電圧及び静電容量のばらつきが大きくなる問題点を有していた。つまり、チップバリスタ素子を製造するに当たり、バリスタ電圧及び静電容量のばらつきが大きくなると、ユーザーから狭い特性規格を有したチップバリスタ素子の要求があった場合、製品の歩留りが悪化し、コストアップや再生産による生産の遅延が生じることになる。

【0008】本発明は上記事実を考慮し、低バリスタ電圧でバリスタ電圧及び静電容量のばらつきが小さい積層チップバリスタを提供することを目的とする。

【0009】

【課題を解決するための手段】請求項1による積層チップバリスタは、バリスタ材料よりなるバリスタ層を積層して形成されたバリスタ素体と、バリスタ素体内においてバリスタ層を介して隔てられると共に相互に一部が重複した位置関係で配置された少なくとも一対の内部電極と、バリスタ素体の外表面に設けられ且つ、一対の内部電極の内の一方向の内部電極の一端が接続された第1の外部電極と、バリスタ素体の外表面に設けられ且つ、一対の内部電極の内の他方の内部電極の一端が接続された第2の外部電極と、これら二つの外部電極の内の一方に接続された側の内部電極と同一面上でギャップを隔てて対向して配置され且つ、二つの外部電極の内の他方に一端が接続された対向電極と、を有することを特徴とする。

【0010】請求項1に記載の発明によれば、バリスタ材料よりなるバリスタ層を積層して形成されたバリスタ素体内において、少なくとも一対の内部電極が、バリスタ層を介して隔てられると共に相互に一部が重複した位置関係で配置される。また、二つの外部電極の内の一方に接続された側の内部電極と同一面上でギャップを隔てて対向して、二つの外部電極の内の他方に一端が接続さ

れた対向電極が、配置される。

【0011】このため、上記の電極構造により、従来の対向型チップバリスタ素子と同様にバリスタ電圧及び静電容量のばらつきを低減し得るだけでなく、内部電極同士の重なりにより、低バリスタ電圧時での静電容量の低減を図って、高精度に低静電容量化された積層チップバリスタを提供することが可能となる。言い換えれば、同一のバリスタ材料を用いて、種々のバリスタ電圧及び静電容量の積層チップバリスタを供給することができるので、ユーザー側における回路設計上の自由度を効果的に高めることができる。

【0012】請求項2に記載の発明によれば、請求項1の積層チップバリスタと同様の構成の他に、バリスタ層を介して隔てられて内部電極がバリスタ素体内に複数設けられ、これら複数の内部電極の内の最上層と最下層の一方または両方と同一面上でギャップを隔てて対向して、対向電極が配置されたという構成を有しているので、単純な積層型のものと比較して、他方電位に接続される外部電極との間の距離の変化によるバリスタ電圧及び静電容量のばらつきが生じ難い。

【0013】請求項3に記載の発明によれば、請求項1の積層チップバリスタと同様の構成の他に、バリスタ層を介して隔てられて内部電極がバリスタ素体内に複数設けられ、全ての内部電極とそれぞれ同一面上でギャップを隔てて対向して、対向電極がそれぞれ配置されたという構成を有しているので、バリスタ電圧及び静電容量のばらつきをより一層低減することが可能となる。

【0014】請求項4に記載の発明によれば、請求項1～3の積層チップバリスタと同様の構成の他に、第1の外部電極及び第2の外部電極がそれぞれバリスタ素体の相互に異なる端面に配置され、これら二つの外部電極の内の一方の外部電極から突出した部分と二つの外部電極の内の他方の外部電極に接続された内部電極とが、バリスタ層の積層方向において重ならないように配置されているという構成を有しているので、一方の外部電極から突出した部分と他方の外部電極に接続された内部電極とが重なっている場合と比較して、これらの間の距離の変化によるバリスタ電圧及び静電容量のばらつきを無くして、より一層バリスタ電圧及び静電容量のばらつきを低減することが可能である。

【0015】請求項5に記載の発明によれば、請求項1～4の積層チップバリスタと同様の構成の他に、二つの外部電極の内の一方の外部電極と、二つの外部電極の内の他方の外部電極に接続された内部電極との間の距離が、相互に同一面上に位置する内部電極と対向電極との間のギャップよりも大きくされたという構成を有しているので、これらの間の距離の変化に影響され難くなり、バリスタ電圧及び静電容量のばらつきをさらに低減することが可能となる。

【0016】請求項6に記載の発明によれば、請求項1

～5の積層チップバリスタと同様の構成の他に、内部電極の幅寸法が、バリスタ層の積層方向においてバリスタ層を介して重なり合うように配置された他の内部電極の幅寸法と異なるという構成を有しているため、製造工程における幅方向の積層ずれや電極の印刷ずれに起因するバリスタ電圧及び静電容量のばらつきを効果的に低減することが可能となる。

【0017】

【発明の実施の形態】以下、図面を参照しつつ本発明に係る積層チップバリスタの実施の形態を説明することにより、本発明を明らかにする。

【0018】（第1の実施例）図1は、本発明の第1の実施例に係るチップバリスタ素子の断面図である。この図に示す積層チップバリスタであるチップバリスタ素子1は、セラミックグリーンシートを複数枚積層した積層体を焼成することにより得られた直方体状のバリスタ素体2を主要部として構成されている。つまり、このバリスタ素体2は、例えばプラセオジウムなどの遷移金属元素の酸化物を複数種用いて構成された焼結体である。

【0019】さらに、図1に示したバリスタ素体2の第1の端面2dを覆うように第1の外部電極7が設けられ、この第1の端面2dと対向するバリスタ素体2の第2の端面2eを覆うように第2の外部電極8が設けられている。この際、第1、第2の外部電極7、8は、バリスタ素体2の端面2d、2eだけでなく、図2に示すように、端面2d、2e間を繋いでいるバリスタ素体2の上面2f、下面2g及び両側面2hにも至るように突出して形成されており、この上面2f及び下面2g並びに両側面2hに突出している部分を外部電極7、8の被り部7a、8aとする。

【0020】また、バリスタ素体2内のある高さ位置には、第1の外部電極7に一端が電気的に接続される内部電極3aと、この内部電極3aと同一平面上において所定の大きさの隙間であるギャップGを隔てて対向して配置される対向電極3bとが、形成されており、この対向電極3bも第2の外部電極8に一端が電気的に接続されている。そして、セラミック層2aを隔てたこれら電極の下方には、第2の外部電極8に一端が電気的に接続される内部電極4aと、この内部電極4aと同一平面上において所定の大きさのギャップGを隔てて対向して配置される対向電極4bとが、形成されており、この対向電極4bも第1の外部電極7に一端が電気的に接続されている。

【0021】さらに、セラミック層2bを隔てたこれら電極の下方には、第1の外部電極7に一端が電気的に接続される内部電極5aと、この内部電極5aと同一平面上において所定の大きさのギャップGを隔てて対向して配置される対向電極5bとが、形成されており、この対向電極5bも第2の外部電極8に一端が電気的に接続されている。そして、セラミック層2cを隔てたこれら電

極の下方には、第2の外部電極8に一端が電気的に接続される内部電極6aと、この内部電極6aと同一平面上において所定の大きさのギャップGを隔てて対向して配置される対向電極6bとが、形成されており、この対向電極6bも第1の外部電極7に一端が電気的に接続されている。

【0022】従って、セラミックグリーンシート上に、例えば内部電極3a、4a、5a、6a及び対向電極3b、4b、5b、6bを導電ペーストの印刷またはスパッタ等により高精度に形成すれば、内部電極と対向電極との間の対向距離とされるギャップGの寸法gにより決定されるバリスタ電圧及び静電容量を高精度に保ち得る。

【0023】他方、内部電極3aは、セラミック層2aを隔ててバリスタ素体2の厚み方向である積層方向Yの下方に隣接する内部電極4aと重なり合っている。同様に、内部電極4aは、セラミック層2bを隔てて積層方向Yの下方に隣接する内部電極5aにも重なり合っている。また、内部電極5aは、セラミック層2cを隔てて積層方向Yの下方に隣接する内部電極6aにも重なり合っている。

【0024】上記のように、内部電極3a、4a、5a、6aが部分的にバリスタ層であるセラミック層2a、2b、2cを隔てて重なり合われているため、図1の領域Bで示す部分においては、この内部電極3a、4a、5a、6aにより積層型バリスタ素子と同様にしてバリスタ電圧及び静電容量が得られる。よって、チップバリスタ素子1において、内部電極3a、4a、5a、6aの層間距離を小さくしかつ他の内部電極との重なり面積を少なくすることにより、バリスタ電圧及び静電容量を小さくして低バリスタ電圧時での低静電容量化を図ることができる。

【0025】また、上記のように図1の領域Aで示す対向型の部分では、ギャップGの寸法gによりバリスタ電圧及び静電容量が決定されるが、このギャップGの寸法gは高精度に制御できるため、バリスタ電圧及び静電容量のばらつきを低減し得る。すなわち、従来の対向型チップバリスタ素子の構造と積層型チップバリスタ素子の構造とを組み合わせることにより、バリスタ電圧及び静電容量が小さく、かつバリスタ電圧及び静電容量のばらつきの小さなチップバリスタ素子1が提供され得る。

【0026】次に、本実施例に係るチップバリスタ素子1の製造について説明する。チップバリスタ素子1の製造に際しては、チップバリスタとして機能するZnの酸化物を主体とするバリスタ材料よりなる複数枚のセラミックグリーンシートを用意する。そして、図3にこれらのセラミックグリーンシートの一部を斜視図で示す。

【0027】この図3には、上面に電極は印刷またはスパッタされていない複数枚のセラミックグリーンシート9aが示されている。また、これらセラミックグリーン

シート9aの内の上部側に配置されたものの下方にセラミックグリーンシート9bが位置し、このセラミックグリーンシート9b上には、内部電極3a及び対向電極3bを形成するために、これら電極に応じて例えばPd粉末含有導電ペーストが印刷又はスパッタされている。

【0028】さらに、セラミックグリーンシート9bの下方に位置するセラミックグリーンシート9c上には、内部電極4a及び対向電極4bを形成するために、これら電極に応じて同様に印刷又はスパッタされている。このセラミックグリーンシート9cの下方に位置するセラミックグリーンシート9d上には、内部電極5a及び対向電極5bを形成するために、これら電極に応じて同様に印刷又はスパッタされている。このセラミックグリーンシート9dの下方に位置するセラミックグリーンシート9e上には、内部電極6a及び対向電極6bを形成するために、これら電極に応じて同様に印刷又はスパッタされている。

【0029】次に、それぞれ平面形状を矩形としたセラミックグリーンシート9b、9c、9d、9eを積層し、さらに、電極は印刷されていないもののそれぞれ平面形状を矩形としたセラミックグリーンシート9aをこれらセラミックグリーンシート9b、9c、9d、9eの上方及び下方において適宜の枚数だけ積層し、これらを一体焼成することによりバリスタ素体2を得る。

【0030】この後に、バリスタ素体2の第1の端面2dを覆うように第1の外部電極7を設け、第2の端面2eを覆うように第2の外部電極8を設けるが、この際、外部電極7、8は、例えば、銀(Ag)-パラジウムのような導電性粉末含有導電ペーストを端面2d、2eに塗布し、焼き付けることにより形成される。この時、第1、第2の外部電極7、8は、バリスタ素体2の端面2d、2eだけでなく、端面2d、2eを繋いでいる上面2f、下面2g及び両側面2hにも至るように突出して形成される。

【0031】そして、図3に示すように、内部電極3a、4a、5aは、全て相互に等しい幅寸法を有するように構成されている。なお、ここで内部電極の幅寸法とは、バリスタ素体2の両端面2d、2eを繋ぐ方向と直交する方向における内部電極の寸法をいうものとする。さらに、内部電極6aの幅寸法をこれら内部電極3a、4a、5aの幅寸法と等しくしても良い。

【0032】これに対して、より好ましくは、図4(a)及び(b)に示すように、内部電極6aの幅寸法D2を、内部電極6aとバリスタ層であるセラミック層2cを介して重なり合う内部電極5aの幅寸法D1と異

ならせて内部電極5aよりも狭くすることが考えられる。この場合には、幅方向の印刷ずれや積層ずれに起因するバリスタ電圧及び静電容量のばらつきをより一層低減することかできる。すなわち、バリスタ層の積層や内部電極5a、6aの印刷又はスパッタに際し、幅方向に印刷ずれまたはスパッタずれや積層ずれが生じた場合であっても、内部電極6aが内部電極5aを下方に投影した領域内に位置する限り、内部電極5a、6a間の重なり面積は変動しない。このため、上記印刷ずれや積層ずれに起因する静電容量のばらつきを防止することができる。

【0033】次に、第1の実施例に係るチップバリスタ素子によれば、低バリスタ電圧化を図った場合でもバリスタ電圧及び静電容量のばらつきを低減し得ることを、具体的な実験例に基づき説明する。まず、バリスタ素体2を形成するために、Znの酸化物を主体とする複数枚のセラミックグリーンシートを用意し、上面に内部電極3a、4a、5a、6a及び対向電極3b、4b、5b、6bをそれぞれ印刷してなるセラミックグリーンシート9b、9c、9d、9eを作製した。次に、これら電極が印刷された図3に示すセラミックグリーンシート9b、9c、9d、9eを積層し、さらに電極を印刷していない適宜の枚数のセラミックグリーンシート9aを上下に積層した。

【0034】上記のようにして積層された積層体を焼成することで得られたバリスタ素体2に、銀(Ag)-パラジウムよりなる電極を塗布して焼き付けることにより、外部電極7、8を形成した。以上のようにして第1の実施例のチップバリスタ素子が作製されるが、さらに、第1の実施例の製造方法に従いつつ内部電極の積層数を種々異ならせて、チップバリスタ素子を種々作製した。そして、このようにして得られたチップバリスタ素子のバリスタ電圧及び静電容量ばらつきを評価し、この結果を下記の表1に示す。

【0035】比較のために、上記実施例のチップバリスタ素子と同じ材料を用い、かつ同寸法の従来の対向型のチップバリスタ素子67及び積層型のチップバリスタ素子71を作製した。この従来のチップバリスタ素子67及びチップバリスタ素子71においても、電極の積層数を変化させて種々の枚数の電極を有するものを作成し、かつバリスタ電圧及び静電容量ばらつきを評価し、この結果を下記の表1に併せて示す。

【0036】

【表1】

第1の実施例			比較例					
			対向型			積層型		
積層数	バリスタ 電圧のば らつき	静電容量 ばらつき 3 c v	積層数	バリスタ 電圧のば らつき	静電容量 ばらつき 3 c v	積層数	バリスタ 電圧のば らつき	静電容量 ばらつき 3 c v
1	1.80	2.49	1	20.53	12.36	1	1.83	5.76
2	1.89	2.28	2	15.60	10.58	2	1.83	5.31
4	1.86	2.25	4	7.60	9.17	4	1.89	5.31
8	1.95	2.10	8	5.69	6.33	8	2.04	5.04

【0037】表1から明らかなように、対向型チップバリスタ素子では、ギャップGの大きさ及び対向電極の本数によりバリスタ電圧及び静電容量が決定されるが、対向電極の本数が少くなれば、静電容量は小さくなるものの、静電容量ばらつきやバリスタ電圧ばらつき3 c vは大きくなった。また、積層型チップバリスタ素子では、内部電極の積層ずれ、印刷ずれ及びマザーのセラミックグリーンシートからの切断ずれ等の種々の要因により、静電容量ばらつき3 c vが非常に大きいことがわかる。これに対して、表1から明らかなように、第1の実施例の製造方法に従って作製されたチップバリスタ素子は、内部電極の積層数が同一であれば、対向型チップバリスタ素子に比べてバリスタ電圧及び静電容量ばらつきが非常に小さいことがわかる。

【0038】一方、第1の実施例に係るチップバリスタ素子1において、内部電極の重なり面積を種々変化させて静電容量ばらつき3 c vを測定し、この結果を表2に示す。尚ここで、STDとは標準的な重なり面積をいい、-20%とは標準的な重なり面積に対して-20%の重なり面積をいい、-50%とは標準的な重なり面積に対して-50%の重なり面積をいう。

【表2】

	第1の実施例	積層型
重なり面積	静電容量ばらつき 3 c v	静電容量ばらつき 3 c v
STD	2.49	5.67
-20%	2.46	6.39
-50%	2.49	6.66

【0039】表2から明らかなように、内部電極3a、4a、5a、6a同士の重なり面積を少なくしても、従来の積層型では静電容量ばらつきが増大する傾向にあるが、本実施例によれば静電容量ばらつきを一定にさせることがわかる。従って、用途に応じて内部電極の重なり面積を調整することにより、所望の静電容量値が静電容量ばらつきを大きくしないで得ることが出来る。特に、低静電容量のチップバリスタ素子を高精度に製造できることがわかる。

【0040】図1に示すように、第1の実施例のチップバリスタ素子1では、第1、第2の外部電極7、8の被り部7a、8aが、下方電位に接続される内部電極と積層方向Yにおいて重なり合わないよう構成されている。そして、この構成によってバリスタ電圧及び静電容量のばらつきがより一層低減されることを、図1及び図5を参照して説明する。

【0041】このチップバリスタ素子1において、第2の外部電極8の被り部8aは、図1に示すように、他方電位に接続される内部電極3aと積層方向Yにおいて重

なり合わないよう、配置されている。この構造において、第2の外部電極8の端面2c上の外表面から被り部8aの先端P1までの距離である被り部8aの長さLを、下記の表3に示すように変化させ、これに伴って被り部8aの先端P1と内部電極3aとの水平方向距離を変化させて、静電容量ばらつき3cvを評価した。

【0042】また、比較のために、図5に示すように、

被り部8aが内部電極3aと積層方向Yにおいて $X=+0.13\text{mm}$ 、 $X=+0.23\text{mm}$ の長さで重なり合っているチップバリスタ素子11を作製し、同様に静電容量ばらつき3cvを測定評価した。そして、この評価結果を表3に併せて示す。

【0043】

【表3】

L (mm)	Cap (pF)	静電容量 ばらつき 3cv	重なり長さ (mm)	コメント
0.1	403	2.49	-0.13	重ならない
0.2	403	2.54	-0.03	重ならない
0.3	408	2.89	0.13	
0.4	412	3.22	0.23	

【0044】表3から明らかなように、図5に示したチップバリスタ素子11では、外部電極8の被り部8aが他方電位に接続される内部電極3aと積層方向Yにおいて重なり合っているため、重なり合っていない場合に比べて、静電容量ばらつきが増加傾向にあることがわかる。言い換えれば、外部電極8の被り部8aが他方電位に接続される内部電極3aと積層方向Yにおいて重なり合っている場合、該被り部8aの長さ寸法が大きくなるのに伴って静電容量が大きくばらつくことがわかる。

【0045】従って、上記のように外部電極8の被り部8aを、他方電位に接続される内部電極3aと積層方向Yにおいて重なり合わないよう配置することにより、静電容量のばらつきがより一層低減できることがわかった。

【0046】また、第1の実施例のチップバリスタ素子1では、図1に示す外部電極8の被り部8aの先端P1と、他方電位に接続される内部電極3aの先端P2との間の直線的な距離が、静電容量のばらつきに影響することを見出した。この為、第1の実施例のチップバリスタ素子1において、ギャップGの寸法gを0.20mmとし、第2の外部電極8の被り部8aの長さLを0.2mm、対向電極3bの長さ寸法を0.05mmとし、内部電極3aとバリスタ素体2の上面間のバリスタ層の厚みt（図1参照）を下記の表4に示すように変化させることにより先端P1、P2間の距離を変化させて、静電容量のばらつきを評価した。そして、この評価結果を下記の表4に示す。

【0047】

【表4】

t (mm)	P1とP2の 距離 (mm)	静電容量 ばらつき 3cv
0.15	0.153	3.10
0.20	0.202	2.51
0.25	0.252	2.49

【0048】表4から明らかなように、先端P1、P2間の直線的な距離が、ギャップGの寸法gよりも大きい場合、静電容量ばらつき3cvを小さくし得ることがわかる。つまり、本実施例においては、上記先端P1、P2間の直線的な距離が、内部電極3aと対向電極3bとの間のギャップGの寸法gよりも大きくされているので、ギャップGを介して配置された対向電極3bによって、静電容量ばらつきの低減を果たすことができる。

【0049】（第2の実施例）図6は、本発明の第2の実施例に係るチップバリスタ素子を示す断面図である。この図に示すチップバリスタ素子31は、積層方向Yの最外層に内部電極3a、6aと対向電極3b、6bを配置し、積層型チップバリスタ素子の内部電極にあたる内部電極32、33をこれらの間に配置した構造となっている。

【0050】つまり、内部電極32、33だけでは、これら内部電極32、33の先端と、他方電位に接続される第2の外部電極8または第1の外部電極7との間の距離が変化することで、バリスタ電圧及び静電容量のばらつきが生じるのに対し、対向型となっている内部電極3a、6a及び対向電極3b、6bでは、このような原因によるバリスタ電圧及び静電容量のばらつきが生じ難い。

【0051】従って、この図に示すチップバリスタ素子31のように、全ての内部電極に対向して対向電極を設ける必要は必ずしもなく、それぞれ一対の内部電極3a、6aと対向電極3b、6bとの間に、従来の積層型チップバリスタ素子の場合と同様の内部電極を、第1の外部電極7及び第2の外部電極8に交互に接続しつつ、適宜の枚数組み込んでよい。

【0052】以上より、本実施例の場合においても対向型チップバリスタ素子と同様に、ギャップGの存在によりバリスタ電圧及び静電容量のばらつきを高精度に制御することができ、かつ内部電極と他の高さ位置の内部電極との重なり面積を少なくすることにより、静電容量の低減を図り得ることが分かる。さらに、本実施例のチップバリスタ素子31のような内部電極3a、6a、対向電極3b、6b及び内部電極32、33の組み合わせだけでなく、これらを適宜組み合わせるようにしても良く、その組み合わせ方についても任意である。

【0053】(第3の実施例)図7は、本発明の第3の実施例に係るチップバリスタ素子を示す断面図である。この図に示すチップバリスタ素子41は、バリスタ素体2内の上部に内部電極42aと対向電極42bが形成され、バリスタ素体2内の下部に内部電極43aと対向電極43bとが形成されるように、バリスタ素体2内に二層の内部電極を配置した構成を有している。また、第1の外部電極7に電極42a、43bが、第2の外部電極8に電極42b、43aが接続されている。

【0054】従って、第1の実施例のチップバリスタ素子と同様に、本実施例に係るチップバリスタ素子41も静電容量ばらつきの低減を果たし得る。すなわち、本実施例に係るチップバリスタ素子41は、本発明のチップバリスタ素子の最も簡略化された例の一つに相当するものである。

【0055】

【発明の効果】本発明によれば、従来の対向型チップバリスタ素子と同様にバリスタ電圧及び静電容量のばらつきを低減し得るだけでなく、内部電極同士の重なりにより、低バリスタ電圧時での静電容量の低減を図って、高精度に低静電容量化された積層チップバリスタを提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るチップバリスタ素子を示す断面図である。

【図2】本発明の第1の実施例に係るチップバリスタ素子を示す斜視図である。

【図3】第1の実施例のチップバリスタ素子の製造工程において用いられる複数枚のセラミックグリーンシート及び電極形状を示す分解斜視図である。

【図4】セラミックグリーンシート上の内部電極の幅を異ならせた構造を説明するための平面図であって、

(a)は内部電極の幅寸法が広いものを示し、(b)は内部電極の幅寸法が狭いものを示す。

【図5】外部電極の被り部が内部電極と積層方向において重なり合っている比較用の構造を説明するための断面図である。

【図6】本発明の第2の実施例に係るチップバリスタ素子を示す断面図である。

【図7】本発明の第3の実施例に係るチップバリスタ素子を示す断面図である。

【図8】従来の対向型チップバリスタ素子の一例を示す断面図である。

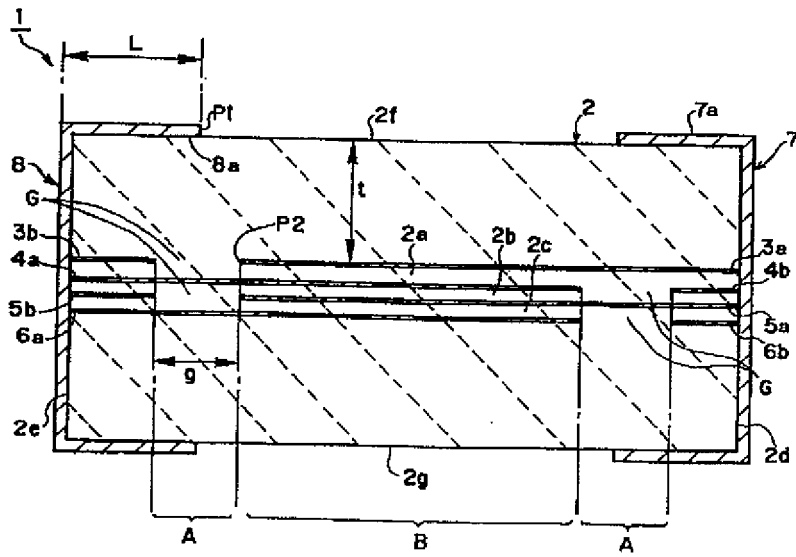
【図9】従来の対向型チップバリスタ素子の他の例を示す断面図である。

【図10】従来の積層型チップバリスタ素子を示す断面図である。

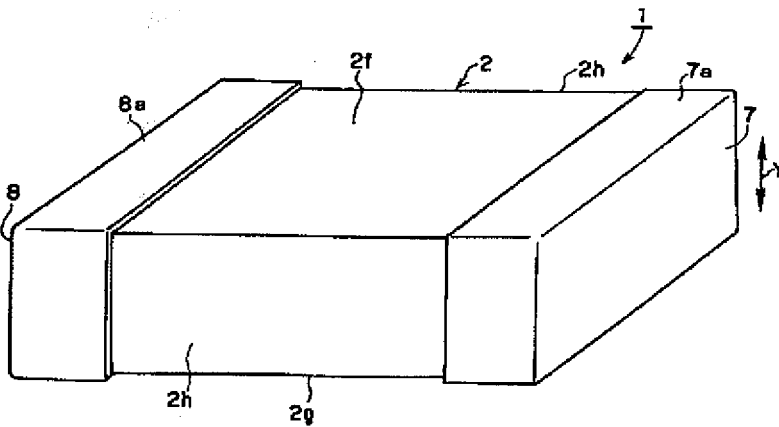
【符号の説明】

- 1, 31, 41 チップバリスタ素子
- 2 バリスタ素体
- 2a, 2b, 2c セラミック層
- 3a, 4a, 5a, 6a, 32, 33, 42a, 43a 内部電極
- 3b, 4b, 5b, 6b, 42b, 43b 対向電極
- 7 第1の外部電極
- 8 第2の外部電極

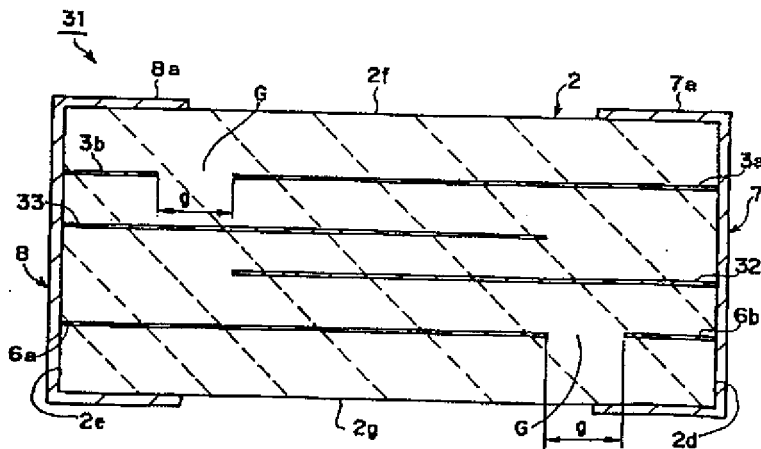
【図1】



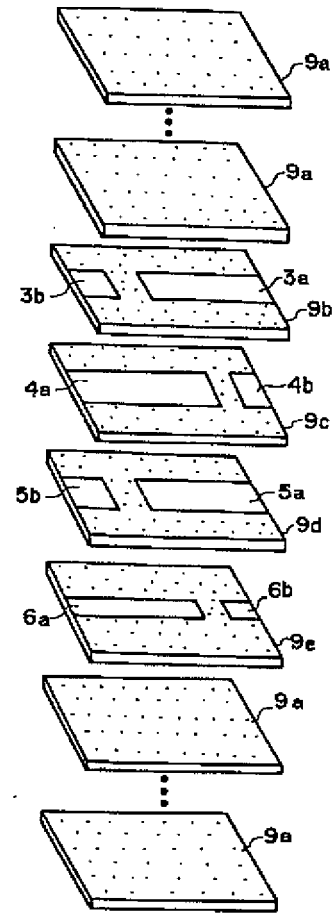
【図2】



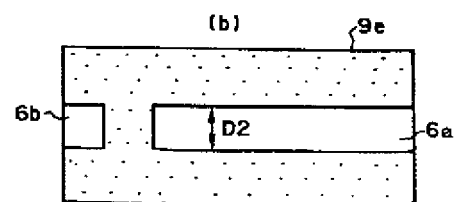
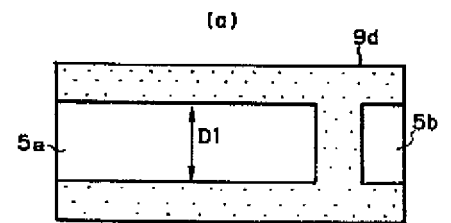
【図6】



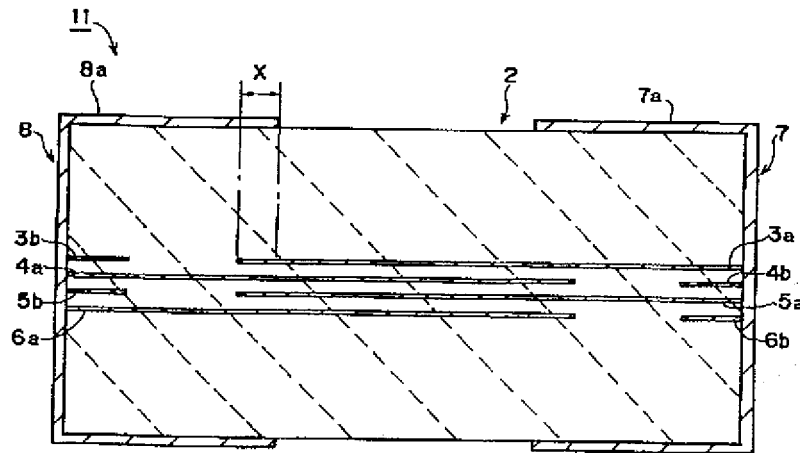
【図3】



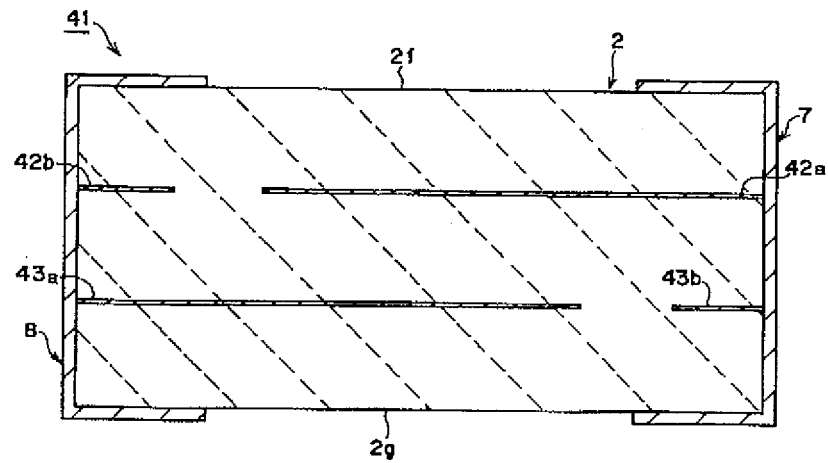
【図4】



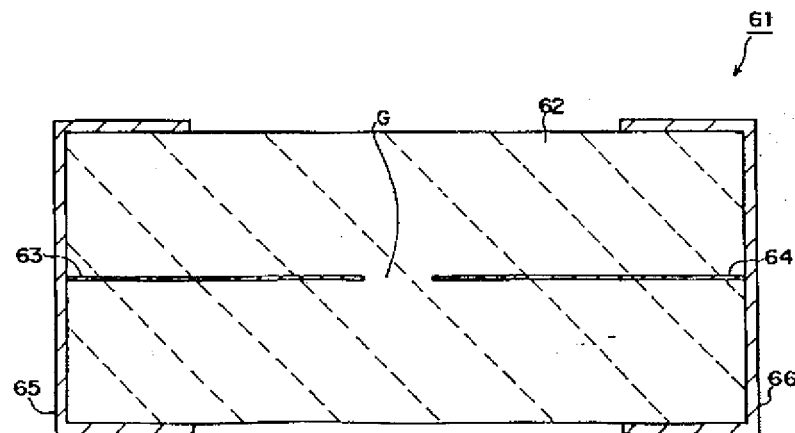
【図5】



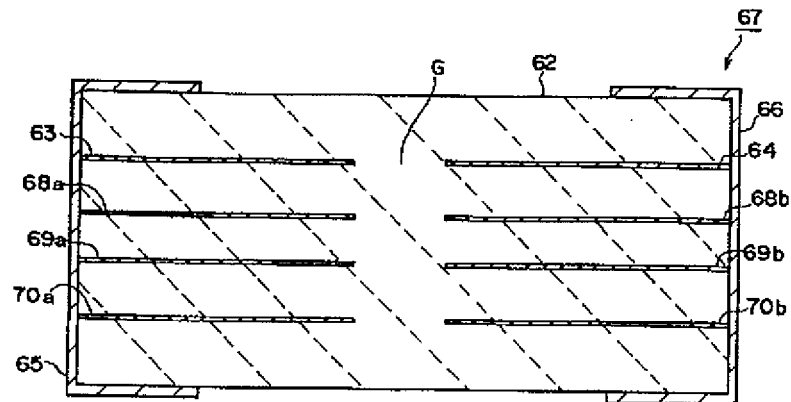
【図7】



【図8】



【図9】



【図10】

